

Circuit for generating programmable frequency and diflective phase-locked loop clock

Patent number: CN1294327
Publication date: 2001-05-09
Inventor: LAI JIN (CN); LIN ZHIFENG (CN); JU YOUNMING (CN)
Applicant: WEISHENG ELECTRONIC CO LTD (CN)
Classification:
- **international:** G06F1/08
- **european:**
Application number: CN19990123241 19991028
Priority number(s): CN19990123241 19991028

Abstract of CN1294327

A frequency and deflection programmed phase-locked loop (PLL) timer generator is disclosed. The frequency and deflection of signal can be programmed for dynamic variation to compensate the clock signal deflection caused by load variation. A closed-loop PLL timer generator is used to effectively control the clock signal deflection in digital system (computer, for example) for stable running.

Data supplied from the **esp@cenet** database - Worldwide

[12] 发明专利申请公开说明书

[21] 申请号 99123241.0

[43] 公开日 2001 年 5 月 9 日

[11] 公开号 CN 1294327A

[22] 申请日 1999.10.28 [21] 申请号 99123241.0

[71] 申请人 威盛电子股份有限公司

地址 台湾省台北县新店市

[72] 发明人 瑶又明 赖 瑾 林志峰
林欣杰 王维宇

[74] 专利代理机构 柳沈知识产权律师事务所

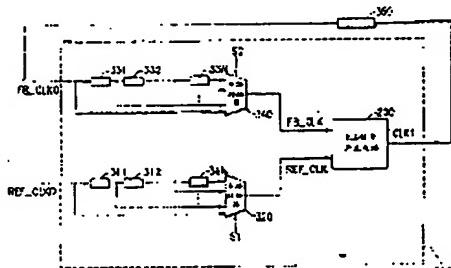
代理人 杨 梧 朱 勤

权利要求书 3 页 说明书 7 页 附图页数 4 页

[54] 发明名称 可程序化频率与偏移的锁相环时钟产生
电路

[57] 摘要

本发明提供一种可程序化频率与偏移的 PLL 时钟产生电路，可以程序化动态地改变信号的频率，以及程序化动态调整信号的偏移，以补偿时钟信号的负载变动所产生的信号偏移，其中以闭回路的 PLL 时钟产生电路有效控制时钟信号偏移的情形，并且如此可使采用此种 PLL 时钟产生电路的数字系统，例如电脑系统，能稳定的运作。



ISSN 1008-4274

99·10·26

权 利 要 求 书

1. 一种可程序化频率的 PLL 时钟产生电路，用以根据一参考信号产生一时钟信号，其特征是该 PLL 时钟产生电路包括：

5 复数个第一除法器，每一该第一除法器的输入端接受该参考信号；

一第一多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第一除法器的输出，并接受一第一选择信号的控制，用以选择将该些输入端之一连接至该输出端；

复数个第二除法器，每一该第二除法器的输入端接受一回授信号；

10 一第二多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第二除法器的输出，并接受一第二选择信号的控制，用以选择将该些输入端之一连接至该输出端；

15 一 PLL 核心电路，具有一参考输入端、一回授输入端、及一输出端，该 PLL 核心电路依据该参考输入端与该回授输入端的信号相位差由该输出端产生一信号，该参考输入端耦接至该第一多路转换器的输出端，该回授输入端耦接至该第二多路转换器的输出端；

复数个第三除法器，每一该第三除法器的输入端耦接至该 PLL 核心电路的输出端；

20 一第三多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第三除法器的输出，该输出端输出该回授信号；以及

一第四多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第三除法器的输出，并接受一第三选择信号的控制，用以选择将该些输入端之一连接至该输出端，该输出端输出该时钟信号。

25 2. 一种可程序化频率与偏移的 PLL 时钟产生电路，用以根据一参考信号产生一时钟信号，其特征是该时钟电路包括：

复数个第一延迟元件，每一该第一延迟元件具有一第一端及一第二端两个端点，该些第一延迟元件以串接方式连接，即前一个第一延迟元件的第二端连接至后一个第一延迟元件的第一端，且第一个第一延迟元件的第一端耦接至该参考信号；

30 一第一多路转换器，具有复数个输入端及一输出端，每一该输入端分别耦接至每一该第一延迟元件的第二端及该参考信号，并接受一第一选择信号

的控制，用以选择将该些输入端之一连接至该输出端；

复数个第二延迟元件，每一该第二延迟元件具有一第一端及一第二端两个端点，该些第二延迟元件以串接方式连接，即前一个第二延迟元件的第二端连接至后一个第二延迟元件的第一端，且第一个第二延迟元件的第一端耦接至一回授信号；

一第二多路转换器，具有复数个输入端及一输出端，每一该输入端分别耦接至每一该第二延迟元件的第二端及该回授信号，并接受一第二选择信号的控制，用以选择将该些输入端之一连接至该输出端；以及

一PLL信号产生电路，具有一第一输入端、一第二输入端、及一输出端，该第一输入端耦接至该第一多路转换器的输出端，该第二输入端耦接至该第二多路转换器的输出端，该输出端输出该时钟信号，该时钟信号经一导线送回该回授信号。

3. 如权利要求2所述的具有可程序化频率与偏移的PLL时钟产生电路，其特征是该时钟信号于该导线的一半耦接至一电路装置，以供该电路装置做为运作的参考时钟。

4. 如权利要求2所述的具有可程序化频率与偏移的PLL时钟产生电路，其特征是该PLL信号产生电路包括：

复数个第一除法器，每一该第一除法器的输入端经该第一端耦接至该第一多路转换器的输出端；

一第三多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第一除法器的输出，并接受一第三选择信号的控制，用以选择将该些输入端之一连接至该输出端；

复数个第二除法器，每一该第二除法器的输入端经该第二输入端耦接至该第二多路转换器的输出端；

一第四多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第二除法器的输出，并接受一第四选择信号的控制，用以选择将该些输入端之一连接至该输出端；

一PLL核心电路，具有一参考输入端、一回授输入端、及一输出端，该PLL核心电路依据该参考输入端与该回授输入端的信号相位差由该输出端产生一信号，该参考输入端耦接至该第三多路转换器的输出端，该回授输入端耦接至该第四多路转换器的输出端；

复数个第三除法器，每一该第三除法器的输入端耦接至该 PLL 核心电路的输出端；以及

一第五多路转换器，具有复数个输入端及一输出端，每一输入端分别接受每一该第三除法器的输出，该输出端输出该时钟信号。

5 5. 一种可程序化偏移的 PLL 时钟产生电路，用以根据一参考信号产生一时钟信号，其特征是该时钟电路包括：

复数个第一延迟元件，每一该第一延迟元件具有一第一端及一第二端两个端点，该些第一延迟元件以串接方式连接，即前一个第一延迟元件的第二端连接至后一个第一延迟元件的第一端，且第一个第一延迟元件的第一端耦接至该参考信号；

一第一多路转换器，具有复数个输入端及一输出端，每一该输入端分别耦接至每一该第一延迟元件的第二端及该参考信号，并接受一第一选择信号的控制，用以选择将该些输入端之一连接至该输出端；

15 复数个第二延迟元件，每一该第二延迟元件具有一第一端及一第二端两个端点，该些第二延迟元件以串接方式连接，即前一个第二延迟元件的第二端连接至后一个第二延迟元件的第一端，且第一个第二延迟元件的第一端耦接至一回授信号；

20 一第二多路转换器，具有复数个输入端及一输出端，每一该输入端分别耦接至每一该第二延迟元件的第二端及该回授信号，并接受一第一选择信号的控制，用以选择将该些输入端之一连接至该输出端；以及

25 一 PLL 信号产生电路，具有一第一输入端、一第二输入端、及一输出端，该第一输入端耦接至该第一多路转换器的输出端，该第二输入端耦接至该第二多路转换器的输出端，该 PLL 信号产生电路根据该第一输入端与该第二输入端的信号关系由该输出端产生该时钟信号，该时钟信号经一导线送回该回授信号。

6. 如权利要求 5 所述的具有可程序化偏移的 PLL 时钟产生电路，该时钟信号于该导线的一半耦接至一电路装置，以供该电路装置做为运作的参考时钟。

可程序化频率与偏移的
锁相环时钟产生电路

5

本发明是关于一种时钟产生电路，且特别是有关于一种可程序化频率与偏移的 PLL 时钟产生电路。

随着半导体技术的进步，现今数字电路系统的运作频率越来越高，时钟(clock)信号的同步变成系统设计者的一项重要课题。关于系统时钟的同步问题，通常不只是一个时钟信号的同步问题，并且牵涉多个时钟信号间的同步。
10 传统的时钟信号偏移(skew)是由时钟信号产生器与负载决定，亦即其为一个开放回路(open loop)，当时钟信号由时钟信号送至负载的路径越长，或是负载增加时，信号偏移会变得更严重。例如电脑主机板是一个极佳的例子，在电脑主机板上有许多装置共同使用同一个时钟信号，而且电脑主机板上的存储器可以随使用者的需求而改变，另外，亦有许多周边装置插槽可以随需要安装所需的各种周边界面，因此改变存储器及周边界面的数量皆会改变时钟信号的负载，所以以开放回路的方式提供时钟信号，相当难控制信号偏移的问题。另一方面，有时会需要改变一些时钟信号的频率，假如所有的时钟信号都由外部的时钟信号产生器提供，因为在系统重置(reset)之后，时钟信号
15 的频率即固定不变，不太可能随意地改变时钟信号的频率。
20

如图 1 所示，为已知的时钟信号架构的示意图。如图所示，以一个电脑主机板的系统架构为例，在此电路中，由单一的时钟信号产生器 150 提供系统所需的所有时钟信号 CPU_CLK 及 SYS_CLK，其中时钟信号 CPU_CLK 提供 CPU 110 及晶片组(chipset) 120，时钟信号 SYS_CLK 则提供晶片组 120 及经总线(bus) 130 供装置 141 - 14N 使用。因为晶片组 120 是整个电脑主机板的控制电路的整合晶片，所以晶片组 120 需参考时钟信号 CPU_CLK 及 SYS_CLK。其中透过总线连接的装置 141 - 14N 可以是周边界面之类的装置，因为在电脑主机板上可安装不同的数量的周边界面，因此时钟信号 SYS_CLK 的负载会随安装的周边界面数量而改变，因此也将影响其信号偏移，并且当信号偏移的情形严重时，将会影响整个系统的稳定度。
25
30

假如在晶片组的内部提供多个时钟信号，用以提供本身的电路及系统的

其他装置使用，则系统设计者可以有效地控制时钟信号的偏移情形，并且可以使系统具有更佳的稳定性与容忍性，另一方面可以经由程序化控制动态改变信号的频率。

综合上述的讨论，可知已知的时钟信号产生电路，有下列的缺点：

5 1. 由外部的时钟信号产生器提供系统所需的时钟信号，所提供的时钟信号的频率不容易改变，尤其不能以程序化动态地改变信号的频率。

2. 使用开放回路的方式提供系统的时钟信号，随着系统中时钟信号的负载变化，很难控制时钟信号的偏移情形，将影响系统的稳定性。

因此本发明的主要目的是提供一种可程序化频率的 PLL 时钟产生电
10 路，使用 PLL 方式的时钟产生电路，可以程序化动态地改变信号的频率。

本发明的另一目的是提供一种可程序化偏移的 PLL 时钟产生电路，使用 PLL 的闭回路(close loop)方式的时钟产生电路，可以程序化动态调整信号的偏移。

为达成本发明的上述和其他目的，本发明提出一种可程序化频率与偏移
15 的 PLL 时钟产生电路，用以根据一参考信号产生一时钟信号，该时钟电路包括复数个第一延迟元件、第一多路转换器、复数个第二延迟元件、第二多路转换器、及 PLL 信号产生电路。

其中每一该第一延迟元件具有一第一端及一第二端两个端点，该些第一
20 延迟元件以串接方式连接，即前一个第一延迟元件的第二端连接至后一个第一延迟元件的第一端，且第一个第一延迟元件的第一端耦接至该参考信号。

该第一多路转换器具有复数个输入端及一输出端，每一该输入端分别耦接至每一该第一延迟元件的第二端及该参考信号，并接受一第一选择信号的控制，用以选择将该些输入端之一连接至该输出端。

每一该第二延迟元件具有一第一端及一第二端两个端点，该些第二延迟
25 元件以串联方式连接，即前一个第二延迟元件的第二端连接至后一个第二延迟元件的第一端，且第一个第二延迟元件的第一端耦接至一回授信号。

该第二多路转换器具有复数个输入端及一输出端，每一该输入端分别耦接至每一该第二延迟元件的第二端及该回授信号，并接受一第二选择信号的控制，用以选择将该些输入端之一连接至该输出端。

30 该 PLL 信号产生电路具有一第一输入端、一第二输入端、及一输出端，该第一输入端耦接至该第一多路转换器的输出端，该第二输入端耦接至该第

二多路转换器的输出端，该输出端输出该时钟信号，该时钟信号经一导线送回该回授信号。

依照本发明的一较佳实施例，该时钟信号于该导线的一半耦接至一电路装置，以供该电路装置做为运作的参考时钟。

5 上述 PLL 时钟产生电路中的 PLL 信号产生电路包括复数个第一除法器、第三多路转换器、复数个第二除法器、第四多路转换器、PLL 核心电路、复数个第三除法器、及第五多路转换器。

其中每一该第一除法器的输入端经该第一端耦接至该第一多路转换器的输出端。该第三多路转换器具有复数个输入端及一输出端，每一输入端分别接受每一该第一除法器的输出，并接受一第三选择信号的控制，用以选择将该些输入端之一连接至该输出端。
10

每一该第二除法器的输入端经该第二输入端耦接至该第二多路转换器的输出端。该第四多路转换器具有复数个输入端及一输出端，每一输入端分别接受每一该第二除法器的输出，并接受一第四选择信号的控制，用以选择
15 将该些输入端之一连接至该输出端。

该 PLL 核心电路具有一参考输入端、一回授输入端、及一输出端，该 PLL 核心电路依据该参考输入端与该回授输入端的信号相位差由该输出端产生的一信号，该参考输入端耦接至该第三多路转换器的输出端，该回授输入端耦接至该第四多路转换器的输出端。

20 每一该第三除法器的输入端耦接至该 PLL 核心电路的输出端。该第五多路转换器具有复数个输入端及一输出端，每一输入端分别接受每一该第三除法器的输出，该输出端输出该时钟信号。

为让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明如下。

25 附图简要说明：

图 1 是已知的时钟信号架构的示意图；

图 2 是本发明的可程序化频率的 PLL 信号产生电路的方框图；

图 3 是可程序化频率及偏移的 PLL 时钟产生电路的方框图；

图 4 是 PLL 时钟产生电路应用于一个电脑主机板系统的示意图。

30 请参照图 2，其绘示依照本发明一较佳实施例的一种可程序化频率的 PLL 信号产生电路的方框图，PLL 信号产生电路 200 可以根据参考信号

REF_CLK，产生可变频率的时钟信号 CLK 2.

如图所示，PLL 信号产生电路 200 包括除法器 211 ~ 21N、多路转换器 220、除法器 231 ~ 23N、多路转换器 240、PLL 核心(core)电路 250、除法器 261 ~ 26N、多路转换器 270、及多路转换器 280.

其中参考信号 REF_CLK 送至除法器 211 ~ 21N 的输入端，每一个除法器分别将输入的参考信号 REF_CLK 除以不同的比例。参考信号 REF_CLK 经除法器 211 ~ 21N 除以不同的比例后，分别送至多路转换器 220 的输入端，并且多路转换器 220 接受选择信号 REF_SEL 的控制，用以选择将该些输入端之一连接至输出端，以产生不同频率的信号 REF_CLK'，因此参考信号 REF_CLK 与信号 REF_CLK' 之间的比例可经由选择信号 REF_SEL 来选择。

除法器 231 ~ 23N 的输入端皆接受回授信号 FB_CLK，将回授信号 FB_CLK 除以不同的比例。回授信号 FB_CLK 经除法器 231 ~ 23N 除以不同的比例后，分别送至多路转换器 240 的输入端，并且多路转换器 240 接受选择信号 FB_SEL 的控制，用以选择将该些输入端之一连接至输出端，以产生信号 FB_CLK'，因此回授信号 FB_CLK 与信号 FB_CLK' 之间的比例可经由选择信号 FB_SEL 来选择。

整个 PLL 电路的主要功能由 PLL 核心电路(PLL core) 250 负责达成，PLL 核心电路 250 具有参考输入端 R_IN、回授输入端 F_IN、及输出端 PO，其中信号 REF_CLK' 送至 PLL 核心电路 250 的参考输入端 R_IN，信号 FB_CLK' 送至 PLL 核心电路 250 的回授输入端 F_IN，PLL 核心电路 250 的输出端 PO 输出信号 CLK。PLL 核心电路 250 可根据信号 REF_CLK' 与信号 FB_CLK' 的相位(phase)差改变输出信号 CLK 的频率与相位，使信号 REF_CLK' 与信号 FB_CLK' 的相位差尽量减小。

PLL 核心电路 250 输出端 PO 产生的信号 CLK 送至除法器 261 ~ 26N 的输入端，信号 CLK 经输出除法器 261 ~ 26N 除以不同的比例后，分别送至多路转换器 270 与多路转换器 280 的输入端。并且多路转换器 280 接受选择信号 SEL 的控制，用以选择将该些输入端之一连接至该输出端，以产生不同频率的时钟信号 CLK 2，时钟信号 CLK 2 可供外部的电路使用。

多路转换器 270 的输出端送出信号 CLK 1，且将信号 CLK 1 当成回授信号 FB_CLK 经由除法器 231 ~ 23N 及多路转换器 240 送至 PLL 核心电路 250 的回授输入端 F_IN，构成一个封闭的锁相回路。多路转换器 270 的目的

并非要选择不同频率的回授信号，而是为了使信号 CLK 1 与 CLK 2 的延迟时间尽量一致，以控制信号的偏移。

依据以上的 PLL 信号产生电路 200，在由外部所提供固定频率的参考信号 REF_CLK 的情形下，可以经由选择信号 REF_SEL、FB_SEL、及 SEL 5 设定产生时钟信号 CLK 2 的频率。假设参考信号 REF_CLK 的频率为 f_r ，且由选择信号 REF_SEL 决定了参考信号 REF_CLK 与信号 REF_CLK' 之间的比例为 N，由选择信号 FB_SEL 决定了回授信号 FB_CLK 与信号 FB_CLK' 之间的比例为 D，同时信号 CLK 与 CLK 1 的比例固定为 1，经由 PLL 信号产生 10 电路 200 的闭回路控制所产生的信号 CLK 的频率为 $f_r * N / D$ 。多路转换器 280 则可以选择不同频率的时钟信号 CLK 2，并且可以增加多个多路转换器，以提供多种频率的时钟信号供不同的电路使用。

经由以上的 PLL 信号产生电路 200 可产生不同频率的时钟信号，以下则将针对信号偏移控制做讨论。

请参照图 3，其所绘示为一种可程序化频率与偏移(skew)的 PLL 时钟产 15 生电路的方框图，PLL 时钟产生电路 300 用以根据一参考信号 REF_CLK 0 产生一时钟信号 CLK 1，以提供外部电路使用。

如图所示，PLL 时钟产生电路 300 包括延迟元件 311 ~ 31N、多路转换器 320、延迟元件 331 ~ 33N、多路转换器 340、及 PLL 信号产生电路 200。

延迟元件 311 ~ 31N 以串接方式连接在一起，参考信号 REF_CLK 0 耦接至第一个延迟元件 311 的输入端点。多路转换器 320 具有复数个输入端及一输出端，每一个输入端分别耦接至延迟元件 311 ~ 31N 的输出端以及参考信号 REF_CLK 0，并且多路转换器 320 接受选择信号 S1 的控制，用以选择将该些输入端之一连接至输出端，以产生不同延迟时间的信号 REF_CLK，再将信号 REF_CLK 送至 PLL 信号产生电路 200。

如同参考信号输入端的连接方式，延迟元件 331 ~ 33N 以串接方式连接在一起，回授信号 FB_CLK 0 耦接至第一个延迟元件 331 的输入端点。多路转换器 340 具有复数个输入端及一输出端，每一个输入端分别耦接至延迟元件 331 ~ 33N 的输出端以及回授信号 FB_CLK 0，并且多路转换器 340 接受选择信号 S2 的控制，用以选择将该些输入端之一连接至输出端，以产生不同延迟时间的参考信号 FB_CLK，再将信号 FB_CLK 送至 PLL 信号产生电路 200。

PLL 信号产生电路 200 的内部架构即为图 2 所绘示的方框图，PLL 信号产生电路 200 具有参考输入端、回授输入端、及输出端，参考输入端耦接至多路转换器 320 的输出端，接受其输出的信号 REF_CLK，回授输入端耦接至多路转换器 340 的输出端，接受其输出的信号 FB_CLK，输出端输出时钟信号 CLK 1，并且时钟信号 CLK 1 经导线 350 送回回授信号 FB_CLK 0。如前所述，PLL 信号产生电路 200 可根据设定，且依据参考信号 REF_CLK 及回授信号 FB_CLK 的关系产生输出信号 CLK 1，以使 PLL 信号产生电路 200 中的 PLL 核心电路 250 的参考输入端 R_IN 与回授输入端 F_IN 的信号 REF_CLK' 与信号 FB_CLK' 的相位差尽量减小。

10 导线 350 为电路板上所经的路径，为了考虑电路板的布线路径所造成的信号延迟，所以为了控制信号的偏移，时钟信号 CLK 1 是经电路板上的导线 350 才送回 PLL 时钟产生电路 300 的回授端。

15 依照上述的 PLL 时钟产生电路 300，可经由选择信号 S1 与 S2 的控制，调整参考信号 REF_CLK 0 与 REF_CLK 以及回授信号 FB_CLK 0 与 FB_CLK 之间的插入的延迟时间，从而控制输出信号 CLK 1 的偏移。

请参照图 4，其所绘示为 PLL 时钟产生电路应用于一个电脑主机板系统的示意图。

如图所示，晶片组 420 之中具有 PLL 时钟产生电路 421 与 422，由外部的参考信号产生电路 450 产生参考信号 SREF 送给晶片组 420，再由晶片组 20 420 中的 PLL 时钟产生电路 421 与 422 分别提供时钟信号 CPU_CLK 给 CPU 410 及时钟信号 SYS_CLK 至总线 430，其中时钟信号 SYS_CLK 又经总线 430 提供多个装置使用，例如装置 441 ~ 44N。其中 PLL 时钟产生电路 421 与 422 的结构即如图 3 所示的方框图一样，并且皆参考由参考信号产生电路 450 输出的参考信号 SREF，PLL 时钟产生电路 421 与 422 可分别设定其频率及偏移，以产生所需要的频率，并且调整其偏移量，以使两个时钟间的偏移降至最小。为了使送至负载的信号能充分反映至回授信号，因此由输出端至负载的全长导线的一半取出回授信号，因此送回回授端的回授信号的偏移将和送至负载的偏移一致。例如，时钟信号 CPU_CLK 经由导线 461 送至 CPU 410，其回授信号则由导线 461 之中点取出并经导线 462 送回 PLL 时钟产生 25 电路 421。而时钟信号 SYS_CLK 则经导线 471 送至总线 430，回授信号则由总线 430 的适当点取出并经导线 472 送回 PLL 时钟产生电路 422。

因此如上述的电脑主机板，可按 CPU 410 的运作速度调整 CPU_CLK 的频率，以及按系统的运作速度调整 SYS_CLK 的频率，并且可视 CPU 410 与晶片组 420 的实际距离调整 CPU_CLK 的偏移，以及按总线 430 上连接的负载变化，亦即连接的装置数量，调整时钟信号 SYS_CLK 的偏移。如此可以 5 使送至 CPU 及各个装置的时钟信号的偏移减至最低。

因此经由以上本发明的 PLL 时钟产生电路，此 PLL 时钟产生电路可以包括在一个电脑主机板上的晶片组之内，而经由此晶片组提供系统所需的时钟信号，并且信号偏移可以经由 PLL 时钟产生电路的闭回路架构得到良好的控制。另外，可以按照不同的条件，以程序调整信号的偏移，例如安装较多 10 的存储器模块或是插上较多的界面卡时，使得信号负载增加，而使偏移变大，此时，可以增加参考时钟输入部分的延迟时间，以补偿信号偏移的变化。而且，并不需要由使用者以手动方式改变主机板上的跳线开关(jumper)的设定，可以由电脑系统中的基本输入输出系统(Basic Input Output System，简称 BIOS) 15 程序来自动检测负载的变化情形，自动改变偏移设定。

从以上的讨论，可知本发明的可程序化频率与偏移的 PLL 时钟产生电路与已知作法比较，具有下列优点：

1. 由 PLL 时钟产生电路提供系统所需的时钟信号，可以程序化动态地 改变信号的频率。
2. 使用闭回路方式的 PLL 时钟产生电路，可有效控制信号偏移的问题， 20 并且可以程序化动态调整信号的偏移。

虽然本发明已以一较佳实施例揭露如上，然其并非用以限定本发明，任 何熟习此技艺者，在不脱离本发明的精神和范围内，当可作少许的更动与润 饰，因此本发明的保护范围当视后附的权利要求所界定者为准。

99-10-26

说 明 书 附 图

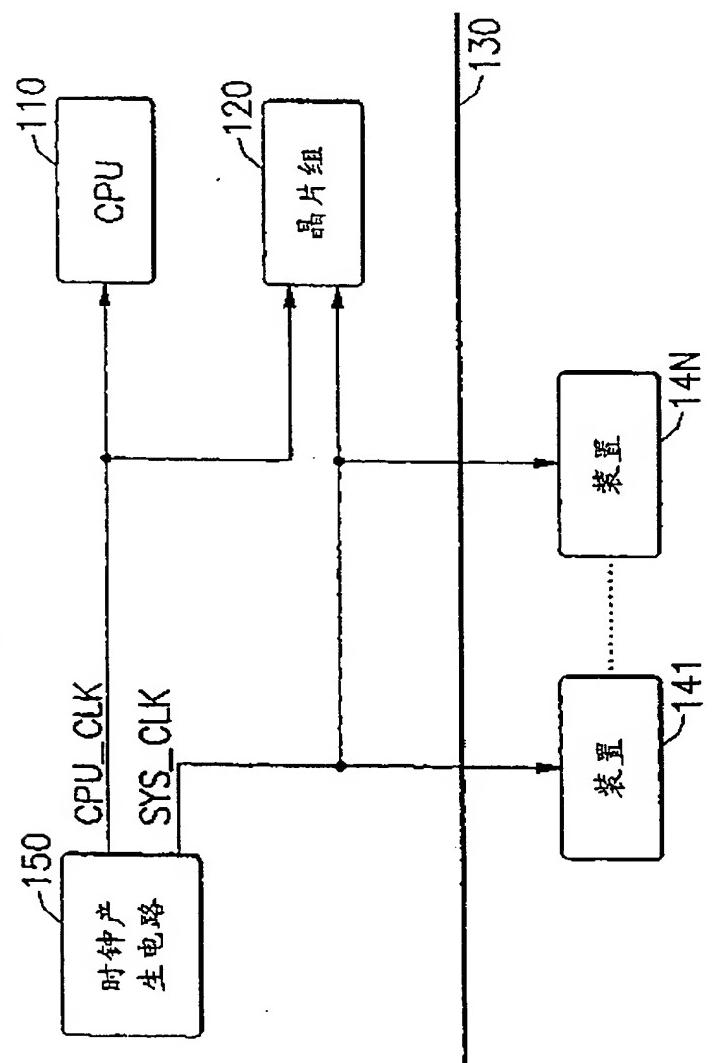


图 1

99.10.26

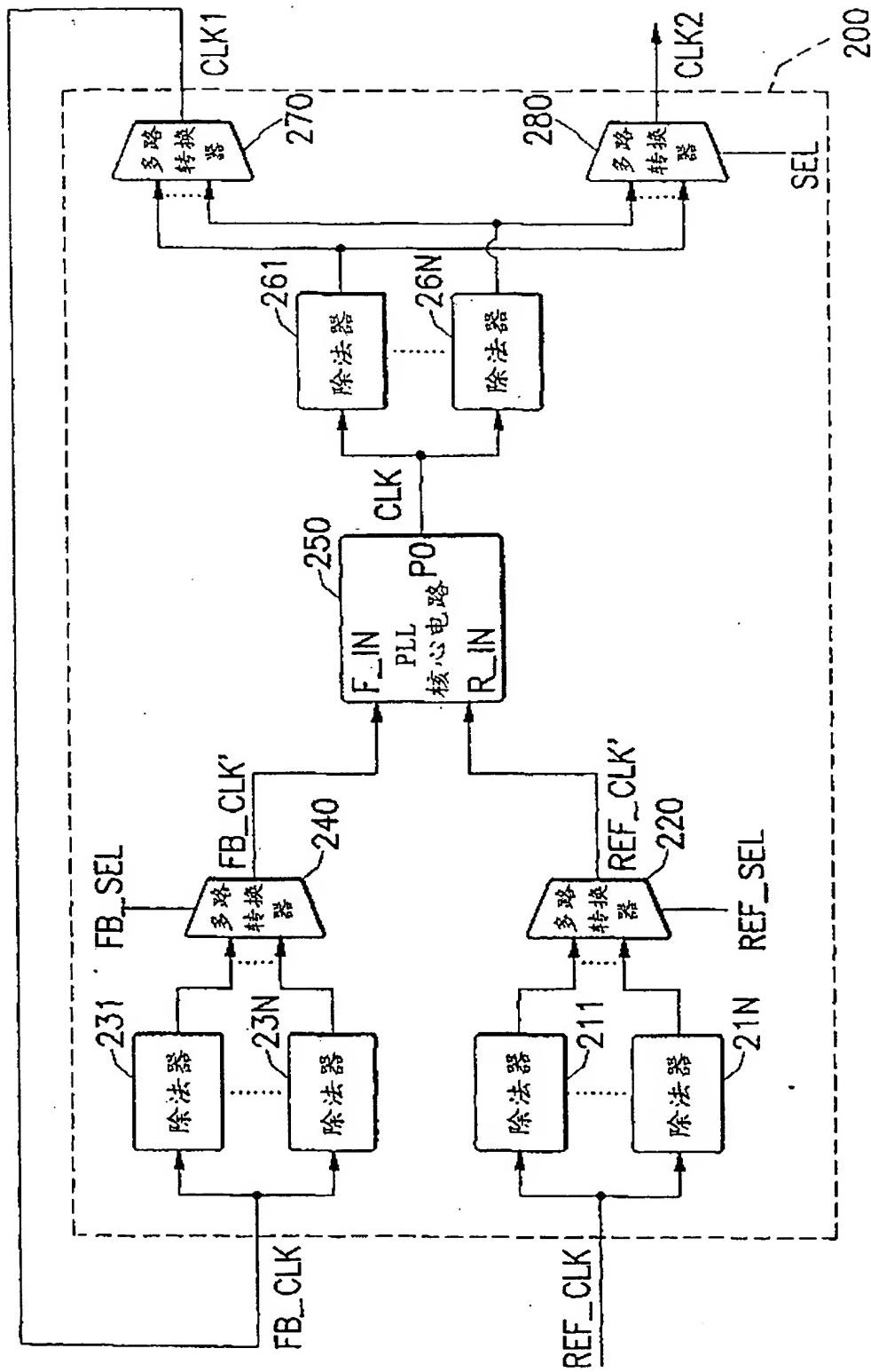


图 2

99-10-26

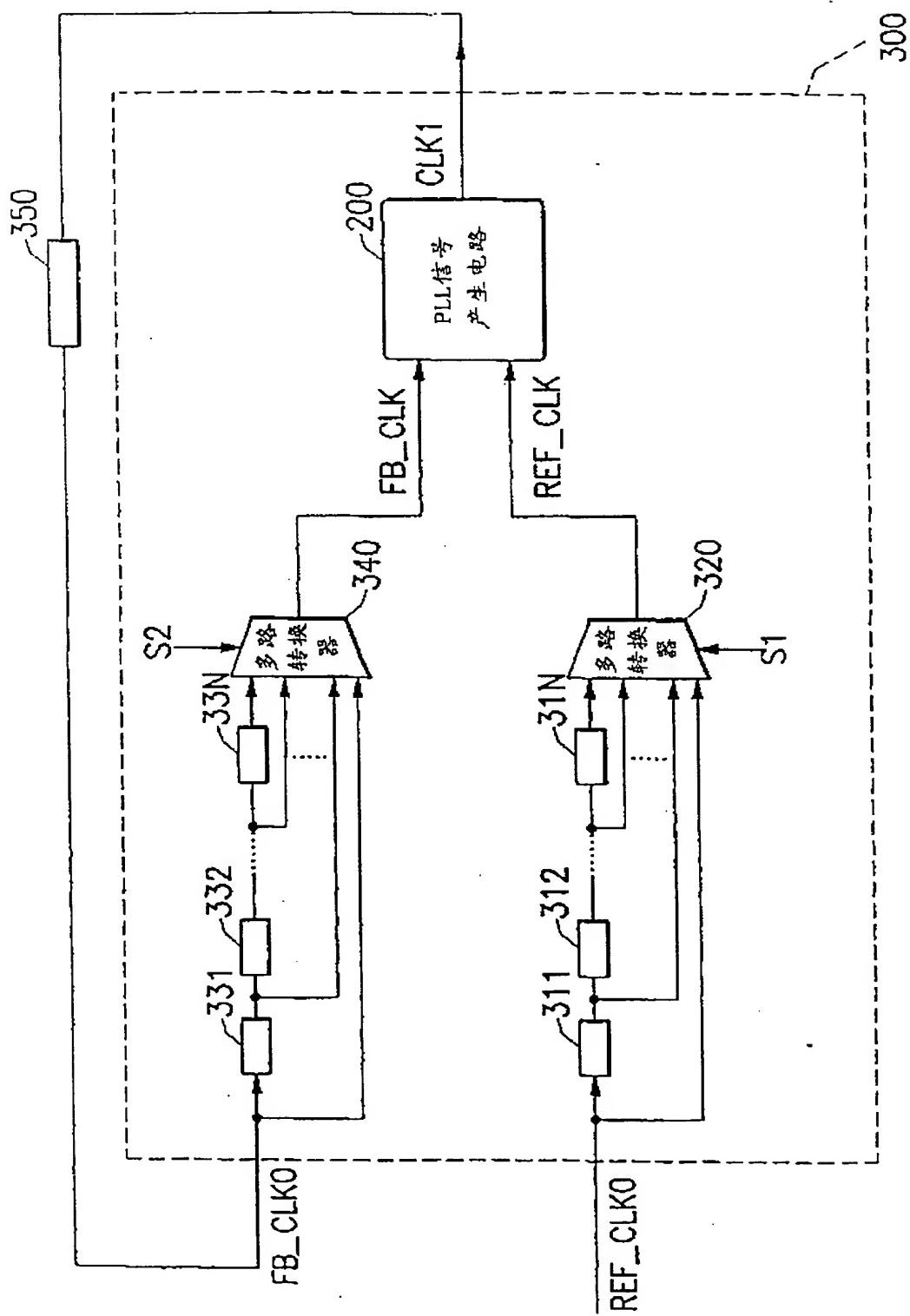


图 3

99.10.26

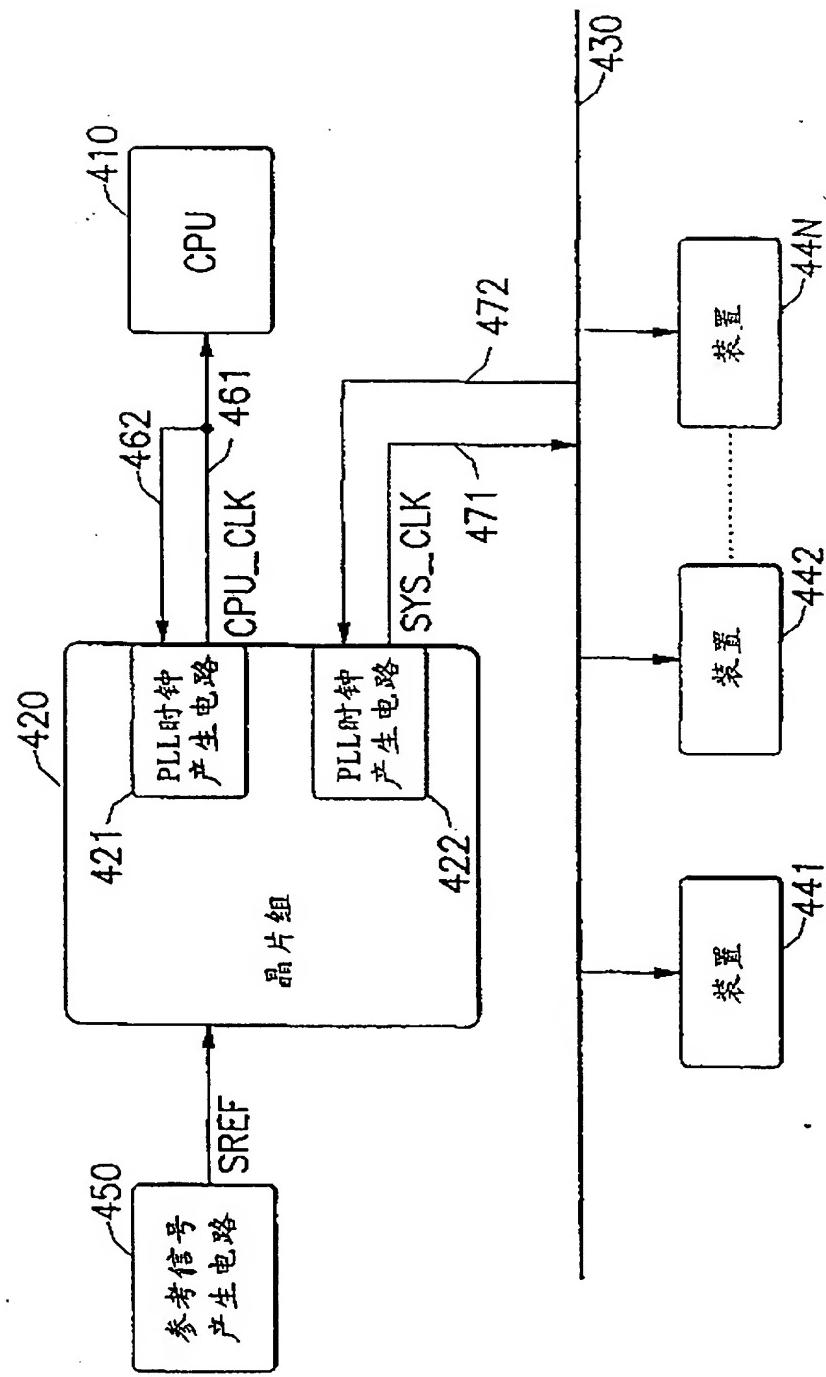


图 4

THIS PAGE BLANK (USPTO)